

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

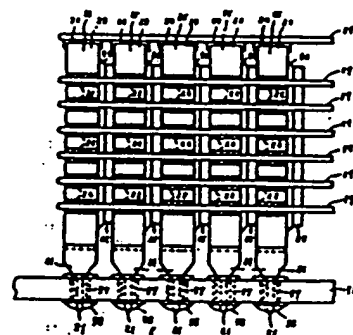
IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) SEMICONDUCTOR DEVICE**(11) 58-112348 (A)****(43) 4.7.1983 (19) JP****(21) Appl. No. 56-211715****(22) 25.12.1981****(71) FUJITSU K.K.****(72) NOBUHIKO MIZUO****(51) Int. Cl. H01L23/12, H01L23/48**

PURPOSE: To obtain a chip carrier mounted semiconductor device having a structure that the device can be loaded vertically to a wiring substrate.

CONSTITUTION: In a structure wherein the mount density is most enhanced, semiconductor memory devices 35 are erected and arranged on the wiring substrate in a state that each is contacted on the upper and lower surfaces, and the pin external conductive terminal 21 of each semiconductor memory device 35 is inserted into a fixed through hole 37 in the wiring substrate 36, then soldered and fixed. On a coat external conductive terminal 22 the common signal terminal in each memory device 35, a series of common signal wires constituted respectively of conductor 39 are soldered at every row. Two pieces of the pin external conductive terminal are provided, but any number of pieces are available as required. Or, one, which is bar form and formed by burying one end in the carrier, can be also used. While, the cap can be formed of ceramics. Further, it is applicable to a metallic package and a plastic package.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58—112348

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)7月4日

H 01 L 23/12

7357—5F

発明の数 1

23/48

7357—5F

審査請求 未請求

(全 4 頁)

⑭ 半導体装置

川崎市中原区上小田中1015番地

富士通株式会社内

⑮ 特 願 昭56—211715

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭56(1981)12月25日

川崎市中原区上小田中1015番地

⑱ 発 明 者 水尾允彦

⑲ 代 理 人 弁理士 松岡宏四郎

① 発明の名称

② 特許請求の範囲

③ 発明の要旨

④ 発明の背景

⑤ 発明の技術分野

⑥ 発明の概要

⑦ 発明の要旨

⑧ 発明の背景

⑨ 発明の概要

⑩ 発明の背景

それによってシステム内の配線長が長くなり計算速度の低下を招く。そこで、計算機システム等に対する半導体IC素子の実装密度を高めシステムの大規模化を促す手段として提供されたのが、トップ・キャリア実装構造の半導体IC装置である。

(d) 従来技術と問題点

従来から用いられているトップ・キャリアの中で、最も実装密度が高められる構造にリードレス・トップ・キャリアがある。第1図はリードレス・トップ・キャリアに実装された半導体IC装置に於ける一例の断面図(切及び底面図)を示したものである。そして断面に於て1はセラミック基板、2はセラミック層、3は金属合金(A₁)めっき等が施されたトップ・ステージ、4は引出部にA₁めっき等が施されている内部配線、5は内部配線からそれぞれ引出されるA₁めっき等が施されている外部配線、6は外部配線がそれぞれ底面に引出される底面にA₁めっき等が施された被覆状の外部端子、7はキャップろう付け用ノライズ層、8は金属キャップ、9は銅(A₂)合金等のろう材、

10は半導体ICチップ、11はボンディング・ベッド、12はアルミニウム(Al)等のボンディング・ワイヤ、13は金(Au)/シリコン(81)層を示している。

このように製造を有する従来のチップ・キャリアに実装された半導体IC装置は、計算機システム等に配設される配線基板に対して底面を下にして水平に(平面)実装される。その実装状態を示したのが第2図で、图中14は前記チップ・キャリア実装構造の半導体IC装置、15はセラミックあるいはプラスチックにより形成された配線基板、16は配線パターン、6は前記外部端子、17は半田等のろう材を供している。

上記のように従来のチップ・キャリア実装構造の半導体IC装置に於ては配線基板に対して平面実装がなされるために、チップ・キャリアの平面積によって実装密度が制限され更に実装密度を高めることができなかった。

(4) 発明の目的

本発明は上記問題点に鑑み、配線基板に対して

ブ・キャリア23上に例えば金属キャップ25が形成されてきている。なお前記チップ・キャリア23に於けるピン状外部導電端子21は、通常構造の内部配線26からチップ・キャリア23の一面面に延出された外部配線27a上に鉄/ニッケル合金等通常の端子材料からなる例えばピン状打抜き加工片が銀ろう28等によりろう付けされて形成され、又被膜状外部導電端子22は内部配線26bからチップ・キャリア23の他記以外の三側面に導出された外部配線27b上に金めっき等が施されて形成される。そして半導体メモリ・チップ24は通常構造のチップ・スダージ29上に金/シリコン合金30等を介してろう付けされ、例えば半導体メモリ・チップ24のチップ・セレクト端子等チップ固有の信号が配されるベッド端子31aとピン状外部導電端子に接続する内部配線26aとがアルミニウム等のボンディング・ワイヤ31により接続される。又入出力端子、電線端子等各メモリ・チップに対して共通に配線されるベッド端子31bと被膜状外部導電端子22

面に接続することが可能を有するチップ・キャリア実装の半導体装置を提供し、実装密度を向上せしめることを目的とする。

(5) 発明の構成

本発明は半導体装置に於て、半導体チップが、一外部面にピン状の導電端子を有し他の外部面に被膜状の導電端子を有するチップ・キャリアに実装されてなることを特徴とする。

(6) 発明の実施例

以下本発明を、半導体メモリ装置に於ける一実施例について、第3図に示す上面図(1)、側面図(2)、A-A'矢視断面図(3)、下面図(4)、及び第4図に示す実装方法に於ける一実施例の上面図(5)、側面図(6)を用いて詳細に説明する。

本発明を適用した半導体メモリ装置は、例えば第3図(1)、(2)、(3)、(4)に示すよう、一側面に例えば2〔本〕のピン状外部導電端子21が配設され、他の三側面に所置設の被膜状外部導電端子22が配設されたセラミック・チップ・キャリア23内に半導体メモリ・チップ24が実装され、該チ

ップに接続する内部配線26aとがボンディング・ワイヤ32により接続される。本発明の構成に於ては、通常このようにピン状外部導電端子21をチップ・セレクト端子等各メモリ装置に固有な信号端子とし、被膜状外部導電端子22を入出力端子或るいは電線端子等各メモリ装置に対する共通信号の端子とする。そして上記のように半導体メモリ・チップ24が実装されたチップ・キャリア23上面に形成されている通常構造の封止層33上に鉛/錫合金等のろう材34を介して金属キャップ25が気密にろう付けされてきている。

本発明の構成を有する半導体装置は該半導体装置に配設されたピン状外部導電端子を介して配線基板上に立てて実装することができ、

第4図は前記実施例に示した半導体メモリ装置の実装例を示したもので、图中21はピン状外部導電端子(固有信号端子)、22は被膜状外部導電端子(共通信号端子)、23はセラミック・チップ・キャリア、25は金属キャップ、34はろう材、35は半導体メモリ装置、36は

第4図は前記実施例に示した半導体メモリ装置の実装例を示したもので、图中21はピン状外部導電端子(固有信号端子)、22は被膜状外部導電端子(共通信号端子)、23はセラミック・チップ・キャリア、25は金属キャップ、34はろう材、35は半導体メモリ装置、36は

ブ、26a及び26bは内部配線、28は銀ろう、30は金/シリコン合金、32はアルミニウム等のボンディング・ワイヤ、33は封止層、34はろう材、35は半導体メモリ装置、36は

代理人 介理士

1. 本発明は、半導体メモリ装置に於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図(4)に示す上面図(1)、側面図(2)である。

本発明は、半導体メモリ装置に於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図(4)に示す上面図(1)、側面図(2)である。

本発明は、半導体メモリ装置に於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図(4)に示す上面図(1)、側面図(2)である。

本発明は、半導体メモリ装置に於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図(4)に示す上面図(1)、側面図(2)である。

本発明は、半導体メモリ装置に於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図(4)に示す上面図(1)、側面図(2)である。

本発明は、半導体メモリ装置に於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図(4)に示す上面図(1)、側面図(2)である。

本発明は、半導体メモリ装置に於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図(4)に示す上面図(1)、側面図(2)である。

本発明は、半導体メモリ装置に於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図(4)に示す上面図(1)、側面図(2)である。

本発明は、半導体メモリ装置に於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図(4)に示す上面図(1)、側面図(2)である。

本発明は、半導体メモリ装置に於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図(4)に示す上面図(1)、側面図(2)である。

本発明は、半導体メモリ装置に於ける一実施例を示す上面図(1)、側面図(2)、下面図(3)、及び図(4)に示す上面図(1)、側面図(2)である。

代理人 弁護士 松岡 安政

(4) 発明の効果

以上説明したように本発明の構造を有する半導体装置は、配線基板上に立てて実装することができる。そこで第4図に示すような配線基板上への実装方法が可能であり、図からも明らかなように従来の平面実装構造に比べて実装密度を大幅に向上せしめることができる。

従って本発明は計算機システム等の高速度、小形化に於て有効である。

4. 図面の簡単な説明

第1図は従来の構造の断面図(1)及び下面図(2)、第2図は従来の実装構造の断面図(3)、第3図は本発明の半導体装置に於ける一実施例の上面図(4)、側面図(5)、A-A'矢視断面図(6)、下面図(7)、第4図は本発明の半導体装置に於ける一実施例の上面図(8)及び側面図(9)である。

図に於て、21はピン状外部導電端子(制御信号端子)、22は被覆状外部導電端子(共通信号端子)、23はセラミック・チップ・キャップ、24は半導体メモリ・チップ、25は金属キャップ

図 1

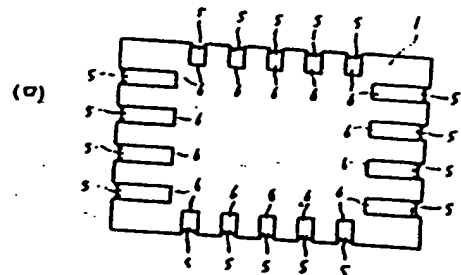
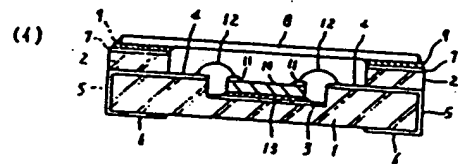
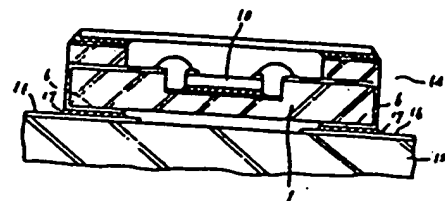
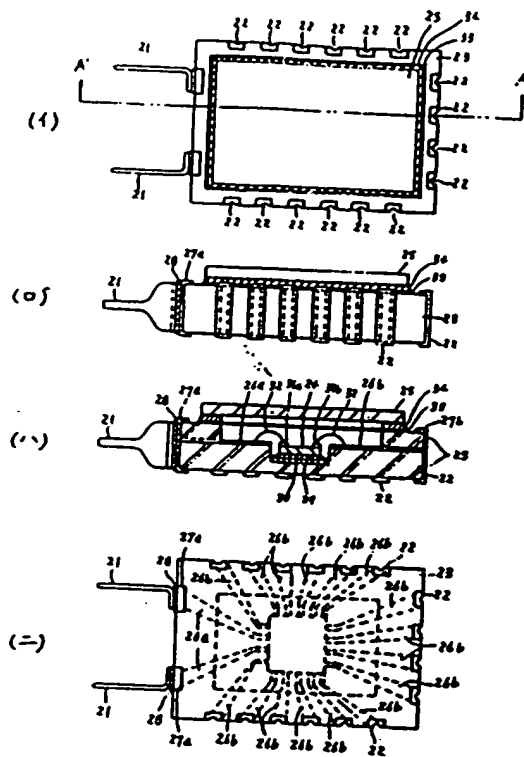


図 2





第 4 图

